

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-019058

(43)Date of publication of application : 26.01.1988

(51)Int.Cl.

G06F 15/16  
G06F 13/38  
G06F 15/16

(21)Application number : 61-163334

(71)Applicant : FUJITSU LTD

(22)Date of filing : 11.07.1986

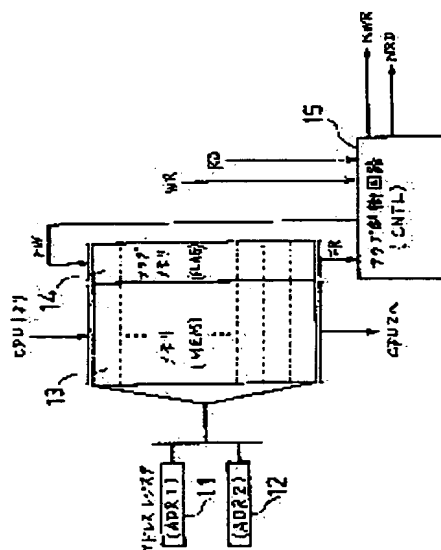
(72)Inventor : MIYAKE HIDEO  
OZAWA TOSHIHIRO  
YUHARA MASANOBU

## (54) MEMORY DEVICE

### (57)Abstract:

**PURPOSE:** To eliminate the need for a flag control and to facilitate the processing of a program by controlling a flag memory by a flag control circuit and automating the deciding of a flag and the setting and releasing of the flag to the access of the memory.

**CONSTITUTION:** A flag in a flag memory 14 is provided corresponding to respective entries of a memory 13, selected by an address to the memory 13 from an address register 11 for a CPU 1 or an address register 12 for a CPU 2 and accessed by a flag control circuit 5. The flag control circuit 15 decides whether or not writing can be executed and reading can be executed by the flag on the flag memory 14 to the writing access from the CPU 1 to the memory 13 or the reading access from the CPU 2 to the memory 13, outputs the signal concerning the possibility or impossibility and controls the setting and resetting of the flag.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A)

昭63-19058

⑮ Int. Cl.<sup>4</sup>G 06 F 15/16  
13/38  
15/16

識別記号

3 1 0  
3 3 0  
3 2 0

庁内整理番号

M-2116-5B  
E-7165-5B  
M-2116-5B

⑬ 公開 昭和63年(1988)1月26日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 メモリ装置

⑰ 特 願 昭61-163334

⑱ 出 願 昭61(1986)7月11日

⑲ 発 明 者 三 宅 英 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内⑲ 発 明 者 小 沢 年 弘 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内⑲ 発 明 者 湯 原 雅 信 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉑ 復 代 理 人 弁理士 小笠原 吉義

## 明 細 書

## 1. 発明の名称 メモリ装置

## 2. 特許請求の範囲

第1の中央処理装置から第2の中央処理装置へメモリ(13)を介してデータ転送を行う電子計算機システムにおけるメモリ装置において、

上記第1の中央処理装置から書込み可能であるか上記第2の中央処理装置から読出し可能であるかを示すフラグが上記メモリ(13)の各エントリに対応して用意されたフラグメモリ(14)と、

上記第1の中央処理装置および上記第2の中央処理装置からのメモリアクセスに対して、アクセスされるエントリに対応する上記フラグにより、書込み可否または読出し可否を判定し、書込み未了信号NWRまたは読出し未了信号NRDの出力を制御すると共に、当該フラグのセット/リセットを制御するフラグ制御回路(15)とを備えたことを特徴とするメモリ装置。

## 3. 発明の詳細な説明

## (概要)

第1の中央処理装置(CPU)から第2のCPUへメモリを介してデータ転送するシステムにおけるメモリ装置において、メモリと同エントリ数のフラグメモリを設けると共に、該フラグメモリ上のフラグを制御し第1のCPUの書込み可否、第2のCPUの読出し可否を判定するフラグ制御回路を設けることにより、第1のCPUから第2のCPUへのデータ転送を高速に処理できるようにしている。

## (産業上の利用分野)

本発明は、複数のCPU間でメモリを介してデータ転送を行うシステムに用いられるメモリ装置であって、データ転送処理時間を短縮可能としたメモリ装置に関するものである。

電子計算機システムでは、データの処理効率を高めるために、演算に係るデータ処理以外の

処理に要する時間を極力減少させることが望まれる。そこで、第1のCPUから第2のCPUへ、処理要求または処理結果などのデータをメモリを介して転送する場合に、データ転送を高速に行うことが必要となる。

#### (従来の技術)

第4図は従来方式の例を示す。

第4図において、11は第1の中央処理装置(以下、CPU1という)用のアドレスレジスタ、12は第2の中央処理装置(以下、CPU2という)用のアドレスレジスタ、30はCPU1からCPU2へのデータ転送に用いられるメモリを表す。

複数のCPU間で、何らかの処理分担を行う場合、処理要求または処理結果のデータをCPU間で引き継ぐことが必要となる。このようなデータの引き継ぎのためのデータ転送は、一般にメモリを介して行われることが多い。

今、CPU1はメモリ30に対して転送するデ

ータの書き込みを行い、CPU2はメモリ30に対して読出しを行うものとする。

CPU1が、メモリ30に対して書き込みを行い、CPU2がそれを読出す前に、さらに続けてCPU1が同じエントリにデータを込めると、CPU2が読出すべきデータが失われることになる。一方、CPU1が転送するデータを書込む前に、CPU2が読出しを行うと、CPU2は無効データを受け取ることになる。

これを防止するために、従来、例えばメモリ30上に、転送用領域のエントリと同じ数のフラグが設定可能なフラグ領域を別に設け、データの転送処理を実行するソフトウェア・プログラムによって、フラグを判定することにより、CPU1による書き込み可否、またはCPU2による読出し可否を判断するようにしている。即ち、CPU1が書き込みを行う場合には、CPU1上で所定の命令を実行することにより、CPU1からの書き込みが可能であるかを判定して、書き込みを行い、CPU2から読出しを行う場合には、CPU2上で所定

3

の命令を実行することにより、CPU2からの読出しが可能であるかを判定して、読出しを行うようにされていた。

#### (発明が解決しようとする問題点)

上記従来の方式によれば、データ転送を行う場合、中央処理装置(CPU1、CPU2)上で、それぞれ命令によってフラグを判定した後、メモリ30へのアクセスを行うため、常にフラグ判定およびフラグの更新制御の処理が必要となる。特に、フラグに対するアクセスの競合を防止するため、一方のCPUが、フラグを判定して、メモリへアクセスし、フラグを更新する間に、他方のCPUによるフラグの判定および更新を禁止する必要がある。そのためのロック制御も必要となる。

本発明は上記問題点の解決を図り、ソフトウェア・プログラムによるフラグの判定およびフラグの設定/解除の処理を不要とし、高速なデータ転送を可能としたメモリ装置を提供することを目的としている。

5

4

#### (問題点を解決するための手段)

第1図は本発明の基本構成例を示す。

第1図において、11はCPU1用アドレスレジスタ、12はCPU2用アドレスレジスタ、13は転送データが格納されるメモリ、14はメモリ13のアクセス単位となるエントリ毎にフラグが設定されるフラグメモリ、15はフラグメモリ14上のフラグを制御しアクセス可否を判定するフラグ制御回路を表す。

フラグメモリ14におけるフラグFLAGは、メモリ13の各エントリに対応して設けられ、CPU1用アドレスレジスタ11またはCPU2用アドレスレジスタ12からのメモリ13に対するアドレスによって選択されて、フラグ制御回路15によりアクセスされるようになっている。FWはフラグの書き込みデータ信号、FRはフラグの読出しデータ信号である。

フラグ制御回路15は、図示省略したCPU1からメモリ13への書き込みアクセスまたはCPU

6

2からメモリ13への読出しアクセスに対し、フラグメモリ14上のフラグFLAGによって、書込み可否または読出し可否を判定し、その可否に関する信号を出力すると共に、そのフラグFLAGのセット/リセットを制御する回路である。

CPU1からメモリ13への読込み指示により、信号WRは“1”になる。CPU2からメモリ13に対する読出し指示により、信号RDは“1”になる。それらの各アクセスに対して、信号NWRが“1”のとき、CPU1からメモリ13への書込みが未了であり、信号NRDが“1”のとき、CPU2によるメモリ13からの読出しが未了であることを意味する。

フラグ制御回路15は、新しいデータの書込みに対して、そのエントリのフラグFLAGを“1”にセットし、そのデータが読出されるときに、そのフラグFLAGを“0”に戻す。フラグFLAGが“1”である場合に、再書込みがあると、メモリ13への書込みを禁止し、書込み未了信号NWRを“1”にする。フラグFLAGが“0”

である場合に、再読出しがあると、読出し未了信号NRDを“1”にする。

書込み未了信号NWRまたは読出し未了信号NRDは、CPU1、CPU2における命令実行制御信号として用いることができる。またフリップフロップなどに信号を取り込んで、プログラムの条件コードなどに用いるようにしてもよい。

#### (作用)

本発明によれば、フラグ制御回路15によって、フラグメモリ14が管理され、メモリのアクセスに対して、フラグFLAGの判定およびフラグFLAGの設定/解除が自動的になされるので、中央処理装置において、フラグFLAGに関する処理が全く不要となる。フラグ制御が不要となり、メモリに対するアクセスが1命令で実行できるので、フラグFLAGに関するロック制御も不要となる。従って、中央処理装置によるソフトウェア・プログラムの処理が簡易化されると共に、メモリアクセスに要する時間が短縮され、データ転送

7

処理時間が短縮される。

#### (実施例)

第2図は本発明の一実施例におけるフラグ制御回路の信号制御説明図、第3図は本発明の一実施例説明図である。

第1図に示すフラグ制御回路15は、例えば第2図に示すような信号制御を行う。第2図におけるWR、RD、FLAG、FR、NWR、NRD、FWは、第1図に示す同じ名前の信号等に対応する。

信号WR、信号RDが共に“0”である場合、フラグFLAGの状態に関係なく、フラグ制御回路15は動作しない。

信号RDが“1”であって、そのときフラグFLAGが“0”であれば、信号NRDとして“1”を出力する。メモリ13およびフラグFLAGは変更しない。

信号WRが“1”であって、そのときフラグFLAGが“0”であれば、メモリ13に値を書込

8

み、フラグFLAGを“1”にする。

信号RDが“1”であって、そのときフラグFLAGが“1”であれば、メモリ13から値を読出し、フラグFLAGを“0”に戻す。

信号WRが“1”であって、そのときフラグFLAGが“1”であれば、信号NWRとして“1”を出力する。メモリ13およびフラグFLAGは変更しない。

信号WR、信号RDは、同時に“1”にならないように制御される。または、同時に“1”になった場合に、フラグFLAGの状態によって、優先制御を行う。

以上の制御を行う論理回路は、上記信号制御の説明から簡単に実現できるので、フラグ制御回路15内部の具体的な回路構成については、詳細な説明を省略する。

次に第3図に従って、本発明の一実施例における動作を説明する。図中、13、14は第1図図示のものに対応し、1は第1の中央処理装置(CPU1)、2は第2の中央処理装置(CPU2)。

9

10

20は本発明に係るメモリ装置を表す。以下の説明における(a)~(f)は、第3図に示す(a)~(f)に対応する。

- (a) 初期状態において、フラグメモリ14における全エントリのフラグFLAGは、“0”となっている。
- (b) CPU1が、信号WRを出力して、メモリ13の1エントリにデータ「XXXX」を書込むと、そのエントリに対応するフラグFLAGは、“1”にセットされる。
- (c) この状態で、CPU2が、信号RDを出力して、メモリ13の同じエントリからデータ「XXXX」を読出すと、フラグFLAGは“0”にリセットされる。
- (d) さらに続けて、CPU2が、信号RDを出力して、メモリ13の同じエントリからデータを読もうとすると、フラグFLAGは“0”であるので、信号NRD(“1”)が出力される。これにより、CPU2は、メモリ13のデータが無効データであることを知ることができる。

- (e) CPU1が、信号WRを出力して、メモリ13の当該エントリにデータ「YYYY」を込めると、フラグFLAGは、再び“1”にセットされる。

- (f) フラグFLAGが“1”になることにより、CPU2からの読出しは成功し、データ「YYYY」が読出される。

上記説明では、CPU1が、メモリ13に対して書き込みを行い、CPU2が、メモリ13に対して読出しを行うものとしたが、簡単な切り替え回路を付加することにより、CPU2からCPU1への同じメモリを介したデータ転送を行うことができるようにすることも可能である。また、2個のメモリ装置を用いて、双方向のデータ転送を実現することも可能である。

#### (発明の効果)

以上説明したように、本発明によれば、メモリ装置内において、フラグの制御が自動的になされるので、中央処理装置における処理負担が軽減し、

11

12

データ転送に関連する処理時間を大幅に短縮することが可能となる。また、無効データを読出したリ、有効データを消去してしまうようなプログラム・ミスを防ぐことができるようになる。

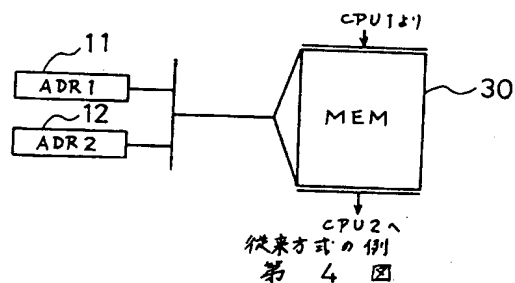
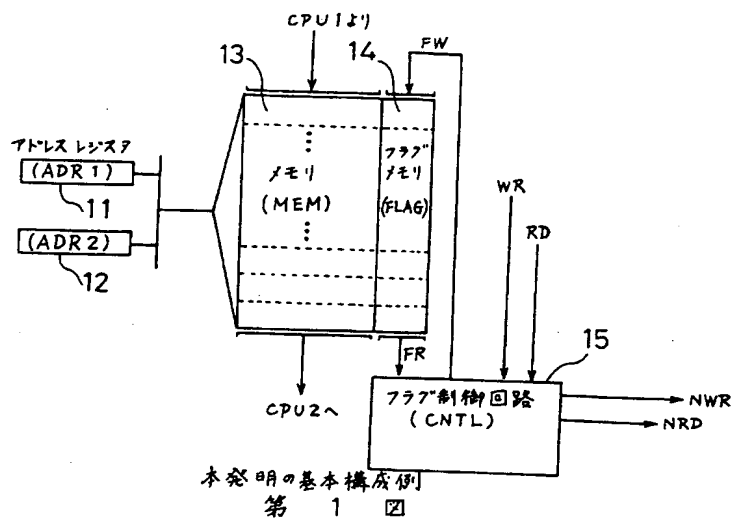
#### 4. 図面の簡単な説明

第1図は本発明の基本構成例、第2図は本発明の一実施例におけるフラグ制御回路の信号制御説明図、第3図は本発明の一実施例説明図、第4図は従来方式の例を示す。

図中、11はCPU1用アドレスレジスタ、12はCPU2用アドレスレジスタ、13はメモリ、14はフラグメモリ、15はフラグ制御回路を表す。

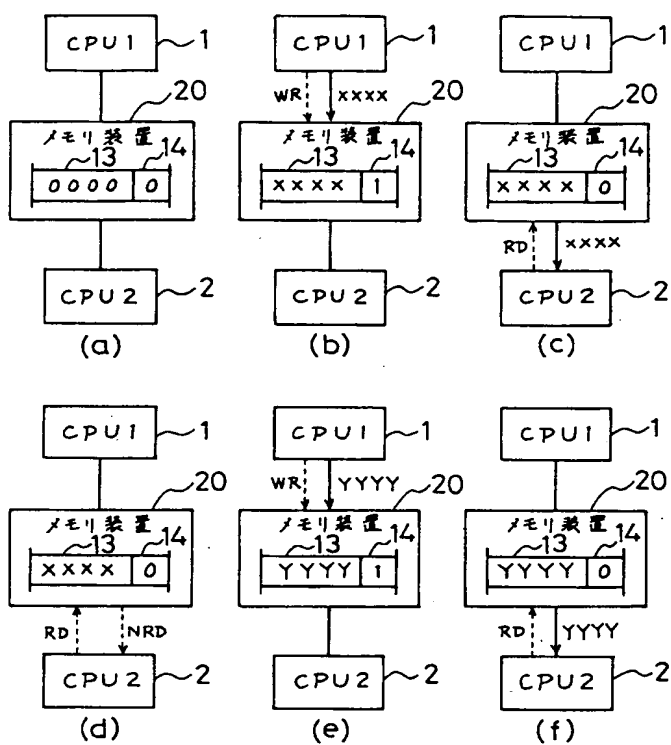
特許出願人 富士通株式会社  
復代理人弁理士 小笠原 吉義

13



入力及び回路の状態				回路の動作			
WR	RD	FLAG	FR	動作	NWR	NRD	FLAG
0	0	0	0	何も行わない。	0	0	変化なし
0	1	0	0	NRD を出力。 MEM, FLAG 変更せず。	0	1	変化なし
1	0	0	0	MEM に値を書込む, FLAG="1"にする。	0	0	→1
0	0	1	1	何も行わない。	0	0	変化なし
0	1	1	1	MEMより値を読み出す, FLAG="0"にする。	0	0	→0
1	0	1	1	NWR を出力する。 MEM, FLAG 変更せず。	1	0	変化なし

フラグ制御回路による信号制御説明図  
第 2 図



本発明の実施例説明図  
第 3 図